

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-121742

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.⁸

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 S

3 0 1 W

審査請求 未請求 請求項の数 3 O L (全 7 頁)

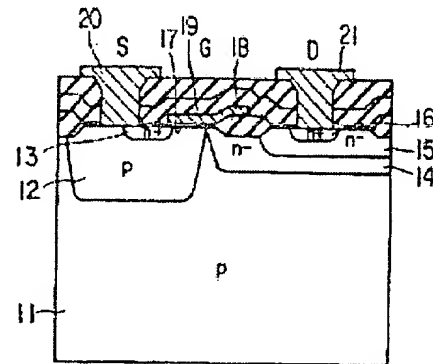
(21)出願番号 特願平9-282047
(22)出願日 平成9年(1997)10月15日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 川口 雄介
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 中川 明夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 木下 浩三
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(74)代理人 弁理士 鈴江 武彦 (外6名)

【発明の名称】 高耐圧半導体装置

【課題】 本発明は、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧の実現を図る。

【解決手段】 ゲートオフの時、n型第1オフセット層14がリソースとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を通るドレイン電流IDにより、n型第1オフセット層の電荷が打消されるものの、n型第1オフセット層のドーピング濃度n1よりも高ドーピング濃度n2のn型第2オフセット層15がリソースとして作用する構造であって、電子の電荷量をq [C]とし、キャリアのドリフト速度をvdift [cm/sec]としたとき、 $n2 \geq ID / (q \cdot v_{dift})$ [cm⁻²] の関係を満足する高耐圧半導体装置。



- | | |
|----------------|--------------|
| 11: p型半導体基板 | 17: ゲート絶縁膜 |
| 12: p型ボディ層 | 18: フィールド酸化膜 |
| 13: n型ソース層 | 19: ゲート電極 |
| 14: n型第1オフセット層 | 20: ソース電極 |
| 15: n型第2オフセット層 | 21: ドレイン電極 |
| 16: n型ドレイン層 | |

【特許請求の範囲】

【請求項1】 第1導電型半導体基板と、
前記第1導電型半導体基板の表面に選択的に形成された第1導電型ボディ層と、
前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、
前記第1導電型半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、
前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、
前記第2導電型第2オフセット層の表面に選択的に形成された第2導電型ドレイン層と、
前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、

$$ID = (\mu \cdot \epsilon) \cdot (VG/2 - VT) / (4 \cdot L \cdot d) [A/cm] \cdots (1)$$

$$n2 \geq ID / (q \cdot v_{dft}) [cm^{-2}] \cdots (2)$$

【請求項2】 第1導電型半導体基板と、
前記第1導電型半導体基板の表面に選択的に形成された第1導電型ボディ層と、
前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、
前記第1導電型半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、
前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、
前記第2導電型第2オフセット層の表面に選択的に形成された第2導電型ドレイン層と、
前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、
前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、
前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、
前記第2導電型第1オフセット層のドーズ量を $n1 [cm^{-2}]$ としたとき、前記第2導電型第2オフセット層のドーズ量 $n2$ は下記式を満足することを特徴とする高耐圧半導体装置。

$$2n1 \leq n2 \leq 4n1$$

【請求項3】 第1導電型半導体基板と、
前記第1導電型半導体基板の表面に選択的に形成された第1導電型ボディ層と、
前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、
前記第1導電型半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、

前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、
前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、
素子のチャネルでのキャリアの移動度を $\mu [cm^2/V \cdot s]$ 、前記ゲート絶縁膜の誘電率を $\epsilon [F/cm]$ 、前記ゲート絶縁膜の膜厚を $d [cm]$ 、チャネル長を $L [cm]$ 、スレショルド電圧を $VT [V]$ 、定格ゲート電圧を $VG [V]$ としたとき、下記(1)式で規定されるチャネル幅 $1cm$ 当りのドレイン電流 ID に対し、電子の電荷量を $q [C]$ とし、キャリアのドリフト速度を $v_{dft} [cm/sec]$ としたとき、
前記第2導電型第2オフセット層のドーズ量 $n2$ は下記(2)式を満足することを特徴とする高耐圧半導体装置。

前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、
前記第2導電型第2オフセット層の表面に選択的に形成された第2導電型ドレイン層と、
前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、
前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、
前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた高耐圧半導体装置であって、
前記第2導電型第1オフセット層のドーズ量は $1.5 \sim 4 \times 10^{12} [cm^{-2}]$ の範囲内にあり、前記第2導電型第2オフセット層のドーズ量は $3 \times 10^{12} \sim 1.6 \times 10^{13} [cm^{-2}]$ の範囲内にいることを特徴とする高耐圧半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFETからなる高耐圧半導体装置に関する。

【0002】

【従来の技術】一般に、高耐圧駆動回路などに用いられる高耐圧半導体素子と、低耐圧駆動回路などに用いられる低耐圧半導体素子とが同一の基板に形成され、パワーICが製造される。この種のパワーICは、広く知られており、多くの用途が考えられている。通常、このようなパワーICは出力段に高耐圧半導体装置としての高耐圧MOSFETが用いられており、この高耐圧MOSFETは低いオン抵抗が要求されている。

【0003】図4は係る高耐圧MOSFETの素子構造を示す断面図である。この高耐圧MOSFETは、高抵抗のp型半導体基板1の表面にp型ボディ層2が選択的

に形成されている。p型ボディ層2の表面には低抵抗のn型ソース層3が選択的に形成されている。

【0004】p型半導体基板1のp型ボディ層2とは異なる表面には、高抵抗のn型オフセット層4が形成されている。n型オフセット層4の表面には、低抵抗のn型ドレイン層5が選択的に形成されている。また、n型ソース層3とn型オフセット層4によって挟まれるp型ボディ層2表面とこの表面に隣接するn型オフセット層4表面の一部には、ゲート絶縁膜6およびフィールド酸化膜7を介してゲート電極8が形成されている。

【0005】また、n型ソース層3及びp型ボディ層2には、これら両層にコンタクトするソース電極9が形成されている。n型ドレイン層5上には、ドレイン電極10が形成されている。

【0006】このような高耐圧MOSFETは、n型ドレイン層5がオフセット層4内に形成されているので、オフセット層4がいわゆるリサーフ層として作用する。このリサーフ層は、素子の高耐圧を保ちながらオン抵抗を低い値に抑制可能とする。なお、この高耐圧MOSFETのゲート電圧 $V_G = 0V$ （オフ状態）から $5V$ までのドレイン電圧-ドレイン電流の特性曲線は図5に示す通りである。

【0007】**【発明が解決しようとする課題】**しかしながら以上のような高耐圧MOSFETでは、図5に示すように、ゲートオフ時及びゲート電圧 V_G が $1V$ 程度で低いときには高い耐圧を保つものの、 $1V$ を越えた通常のゲート電圧 V_G となるゲートオン時には低い耐圧となる問題がある。

【0008】すなわち、高耐圧MOSFETは、ゲートオン時に素子を通れるドレイン電流により、n型オフセット層4表面において、等電位線がドレイン側で密になってドレイン側に電子が増えた分、ソース側で正の空間電荷が生じ、この正の空間電荷がn型オフセット層4のドーズされた電荷を打消してしまう。このため、ゲートオン時に、n型オフセット層4がリサーフ層として作用しなくなり、耐圧を低下させてしまう問題がある。この問題は、特にゲート電圧 V_G が定格の $1/2$ 以上の $3V$ 以上で顕著になる。

【0009】また、この高耐圧MOSFETは、ゲートオン時に低い耐圧となるため、ドレインが電源に直結してゲートをバイアスする構成のアナログ回路には使用不可能であるという問題がある。

【0010】なお、ゲート幅 $1cm$ 当りの素子のドレイン電流を I_D 、電子の電荷量を $q (=1.6 \times 10^{-19} C$; 単位クーロン)、電子のドリフト速度を v_{dift} ($=8 \times 10^6 cm/sec$) とすると、このドレイン電流 I_D で打消されるn型オフセット層4の負電荷は I

$D / (q \cdot v_{dift}) cm^2$ である。また、ゲート幅は、図4の紙面裏行き方向に沿ったゲート長であり、本明細書中、チャネル幅ともいう。

【0011】本発明は上記実情を考慮してなされたもので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現し得る高耐圧半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の骨子は、オフセット層をソース側からドレイン側にかけて2層構成とし、ソース側の第1オフセット層よりも高ドーズ量の第2オフセット層をドレイン層側に設けた構造を用いる。

【0013】すなわち本発明の骨子は、ゲートオン時に低いオン抵抗によって素子を通れるドレイン電流により、ソース側の第1オフセット層の電荷が打ち消されたとしても、ドレイン側の第2オフセット層には電荷を残してリサーフ層として作用させ、素子全体としては、低いオン抵抗を前提としつつ、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることにある。

【0014】さて以上のような本発明の骨子に基づいて具体的には以下のような手段が講じられる。本発明は、第1導電型半導体基板と、前記第1導電型半導体基板の表面に選択的に形成された第1導電型ボディ層と、前記第1導電型ボディ層の表面に選択的に形成された第2導電型ソース層と、前記第1導電型半導体基板の表面の前記第1導電型ボディ層とは異なる領域に選択的に形成された第2導電型第1オフセット層と、前記第2導電型第1オフセット層の表面に選択的に形成された第2導電型第2オフセット層と、前記第2導電型第2オフセット層の表面に選択的に形成された第2導電型ドレイン層と、前記第2導電型ソース層と前記第2導電型第1オフセット層とに挟まれた領域上にゲート絶縁膜を介して形成されたゲート電極と、前記第1導電型ボディ層表面と前記第2導電型ソース層表面の両者に接して形成されたソース電極と、前記第2導電型ドレイン層表面に形成されたドレイン電極とを備えた構造の高耐圧半導体装置に関する。

【0015】係る構造において、請求項1に対応する発明は、素子のチャネルでのキャリアの移動度を $\mu [cm^2/V \cdot s]$ 、前記ゲート絶縁膜の誘電率を $\epsilon [F/cm]$ 、前記ゲート絶縁膜の膜厚を $d [cm]$ 、チャネル長を $L [cm]$ 、スレシヨルド電圧を $V_T [V]$ 、定格ゲート電圧を $V_G [V]$ としたとき、下記(1)式で規定されるチャネル幅 $1cm$ 当りのドレイン電流 I_D に対し、電子の電荷量を $q [C]$ とし、キャリアのドリフト速度を $v_{dift} [cm/sec]$ としたとき、前記第2導電型第2オフセット層のドーズ量 n_2 は下記(2)式を満足する高耐圧半導体装置である。

$$I_D = (\mu \cdot \epsilon) \cdot (V_G / 2 - V_T) / (4 \cdot L \cdot d) [A/cm] \dots (1)$$

$$n_2 \geq I_D / (q \cdot v_{dift}) [cm^2] \dots (2)$$

また、請求項2に対応する発明は、前記第2導電型第1オフセット層のドーズ量を $n1$ [cm^2]としたとき、前記第2導電型第2オフセット層のドーズ量 $n2$ は下記式を満足する高耐圧半導体装置である。

$$2n1 \leq n2 \leq 4n1$$

さらに、請求項3に対応する発明は、前記第2導電型第1オフセット層のドーズ量が $1.5 \sim 4 \times 10^{12}$ [cm^2]の範囲内にあり、前記第2導電型第2オフセット層のドーズ量が $3 \times 10^{12} \sim 1.6 \times 10^{13}$ [cm^2]の範囲内にある高耐圧半導体装置である。

(作用) 従って、請求項1に対応する発明は以上のような手段を講じたことにより、ゲートオフの時、従来同様に、第2導電型第1オフセット層がリサーフとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を流れるドレイン電流により、第2導電型第1オフセット層の電荷が打消されるものの、第2導電型第1オフセット層のドーズ量 $n1$ よりも高ドーズ量 $n2$ の第2導電型第2オフセット層がリサーフとして作用するので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることができる。

【0016】また、このときの条件を $n2 \geq 1D / (q \cdot v_{\text{dift}})$ [cm^2]として規定しているので、この作用を容易且つ確実に奏することができる。また、請求項2に対応する発明は、請求項1に対応する作用と同様の高耐圧を奏する作用に加え、このときの条件を $2n1 \leq n2 \leq 4n1$ として規定しているので、前述した作用を容易且つ確実に奏することができる。

【0017】さらに、請求項3に対応する発明は、請求項1に対応する作用と同様の高耐圧を奏する作用に加え、第2導電型第1オフセット層のドーズ量と、第2導電型第2オフセット層のドーズ量とを具体的な数値で規定しているので、前述した作用をより一層、容易且つ確

実に奏することができる。

【0018】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照しながら説明する。図1は本発明の一実施形態に係る高耐圧MOSFETの素子構造を示す断面図である。この高耐圧MOSFETは、高抵抗のp型半導体基板11の表面にはp型ボディ層12が選択的に形成されている。p型ボディ層12の表面には低抵抗のn型ソース層13が選択的に形成されている。

【0019】p型半導体基板11のp型ボディ層12と異なる表面には高抵抗のn型第1オフセット層14が形成され、n型第1オフセット層14に隣接してn型第1オフセット層14よりも低抵抗(高ドーズ量)のn型第2オフセット層15が形成されている。

【0020】n型第2オフセット層15表面には、n型第2オフセット層5よりも低抵抗のn型ドレイン層16が選択的に形成されている。また、n型ソース層13とn型第1オフセット層14によって挟まれるp型ボディ層12表面とこの表面に隣接するn型第1オフセット層14表面の一部には、ゲート絶縁膜17およびフィールド酸化膜18を介してゲート電極19が形成されている。

【0021】また、n型ソース層13及びp型ボディ層12には、これら両層にコンタクトするソース電極20が形成されている。n型ドレイン層16上には、ドレイン電極21が形成されている。

【0022】ここで、素子のチャネルでのキャリアの移動度を μ [$\text{cm}^2/\text{V} \cdot \text{s}$]、ゲート絶縁膜17の誘電率を ϵ [F/cm]、ゲート絶縁膜17の膜厚を d [cm]、チャネル長を L [cm]、スレショルド電圧を V_T [V]、定格ゲート電圧を V_G [V]としたとき、チャネル幅1 cm当りのドレイン電流 ID は、次の(1)式で規定される。

$$ID = (\mu \cdot \epsilon) \cdot (V_G/2 - V_T) / (4 \cdot L \cdot d) \text{ [A/cm]} \dots (1)$$

このとき、前述した電子の電荷量 q [C]及び電子のドリフト速度 v_{dift} [cm/sec]を用い、n型第2オフセット層15のドーズ量 $n2$ は次の(2)式の関係式を満足するように設定される。

$$n2 \geq 1D / (q \cdot v_{\text{dift}}) \text{ [cm}^2\text{]} \dots (2)$$

本実施形態では、 $\mu = 700$ [$\text{cm}^2/\text{V} \cdot \text{s}$]、 $\epsilon = 3.5 \times 10^{-13}$ [F/cm]、 $d = 1.5 \times 10^{-6}$ [cm]、 $L = 1 \times 10^{-4}$ [cm]、 $V_T = 1$ [V]、 $V_G = 5$ [V]に対し、ドーズ量 $n2 = 9 \times 10^{12}$ [cm^2]である。

【0023】次に、以上のような構成の高耐圧MOSFETの作用について説明する。この高耐圧MOSFETは、ゲート電圧 $V_G = 0 \text{ V}$ のゲートオフの時、従来同様に、n型第1オフセット層14がリサーフとして作用し、図2に示すように、高耐圧を実現する。

【0024】一方、ゲートオン(ゲート電圧 5 V)の

時、素子に流れるドレイン電流により、n型第1オフセット層14の電荷が打消されるものの、n型第1オフセット層14よりも高ドーズ量のn型第2オフセット層15がリサーフとして作用し、図2に示すように、高耐圧を実現する。また、前述したように、ゲートのオン状態/オフ状態の両方で高耐圧を実現しているが、同時に低いオン抵抗を得ている。すなわち、低いオン抵抗を得られつつ、ゲート電圧 $0 \text{ V} \sim 5 \text{ V}$ の範囲にわたって高い耐圧を実現させることができる。

【0025】図3はゲートオン時($V_G = 5 \text{ V}$)の耐圧とn型第2オフセット層15のドーズ量 $n2$ との関係を示す図である。なお、このときのn型第1オフセット層14のドーズ量 $n1$ は 3×10^{12} [cm^2]である。図3に示すように、 $n2$ が $6 \times 10^{12} \sim 1.2 \times 10^{13}$ [cm^2]の範囲内にあるとき、耐圧が大きく向上されていることが分かる。

【0026】また、これにより、 $n2$ は、 $2n1 \leq n2 \leq 4n1$ の範囲内にあることが好ましいことが分かる。その理由は、 $n2$ が $2n1$ より小さい場合（ $n2 < 2n1$ ）、ドレイン電流によって電荷が打ち消されてしまうからである。また、 $n2$ が $4n1$ より大きい場合（ $4n1 < n2$ ）、 n 型第2オフセット層15が完全には空乏化せず、リサーフとして作用しないため、耐圧の向上に寄与しないからである。

【0027】またこの $n2$ と $n1$ との関係において、 n 型第1オフセット層14のドーズ量 $n1$ は $1.5 \sim 4 \times 10^{12} [\text{cm}^{-2}]$ の範囲内にあり、且つ n 型第2オフセット層15のドーズ量 $n2$ は $3 \times 10^{12} \sim 1.6 \times 10^{13} [\text{cm}^{-2}]$ の範囲内にあることが、低いオン抵抗を得られつつ、ゲートのオンオフに関わらずに高い耐圧を実現させる素子動作上、好ましいという結果が得られている。

【0028】上述したように本実施形態によれば、ゲートオフの時、従来同様に、 n 型第1オフセット層14がリサーフとして作用して高耐圧を実現し、また、ゲートオンの時、低いオン抵抗によって素子を通るドレイン電流 ID により、 n 型第1オフセット層14の電荷が打ち消されるものの、 n 型第1オフセット層14のドーズ量 $n1$ よりも高ドーズ量 $n2$ の n 型第2オフセット層15がリサーフとして作用するので、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現させることができる。

【0029】また、ドーズ量の条件を $n2 \geq ID / (q \cdot v_{\text{sat}}) [\text{cm}^{-2}]$ を満足するように設定しているので、この効果を容易且つ確実に奏することができる。なお、この場合、使用したいドレイン電流 ID の値によっても、ドーズ量の最適化を図ることができるので好ましい。

【0030】また、 n 型第1オフセット層14のドーズ量 $n1$ を $1.5 \sim 4 \times 10^{12} [\text{cm}^{-2}]$ の範囲内とし、 n 型第2オフセット層15のドーズ量 $n2$ を $3 \times 10^{12} \sim 1.6 \times 10^{13} [\text{cm}^{-2}]$ の範囲内としても、前述した効果をより一層、容易且つ確実に奏することができる。

【0031】さらに、このときの条件を $2n1 \leq n2 \leq 4n1$ として実験的に求めたので、前述した効果を容易且つ確実に奏することができる。

（他の実施形態）なお、上記実施形態では、第1導電型を p 型とし、第2導電型を n 型とした場合について説明したが、これに限らず、第1導電型を n 型とし、第2導電型を p 型としても、本発明を同様に実施して同様の効果を得ることができる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0032】

【発明の効果】以上説明したように本発明によれば、低いオン抵抗を得られると共に、ゲートのオン状態/オフ状態の両方で高耐圧を実現できる高耐圧半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る高耐圧MOSFETの素子構造を示す断面図

【図2】同実施形態におけるドレイン電圧-ドレイン電流の特性曲線を示す図

【図3】同実施形態におけるゲートオン時の n 型第2オフセット層のドーズ量と素子耐圧との関係を示す図

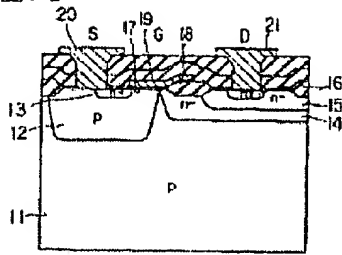
【図4】従来の高耐圧MOSFETの素子構造を示す断面図

【図5】従来の高耐圧MOSFETのドレイン電圧-ドレイン電流の特性曲線を示す図

【符号の説明】

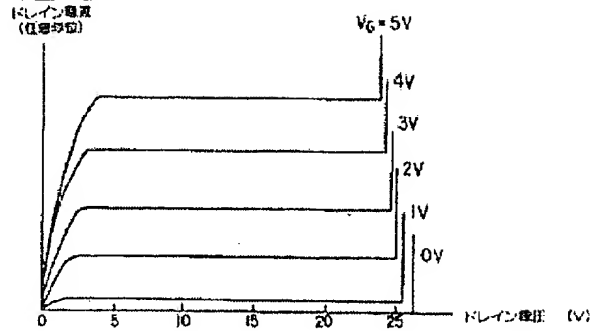
- 11... p 型半導体基板
- 12... p 型ボディ層
- 13... n 型ソース層
- 14... n 型第1オフセット層
- 15... n 型第2オフセット層
- 16... n 型ドレイン層
- 17...ゲート絶縁膜
- 18...フィールド酸化膜
- 19...ゲート電極
- 20...ソース電極
- 21...ドレイン電極

【図1】

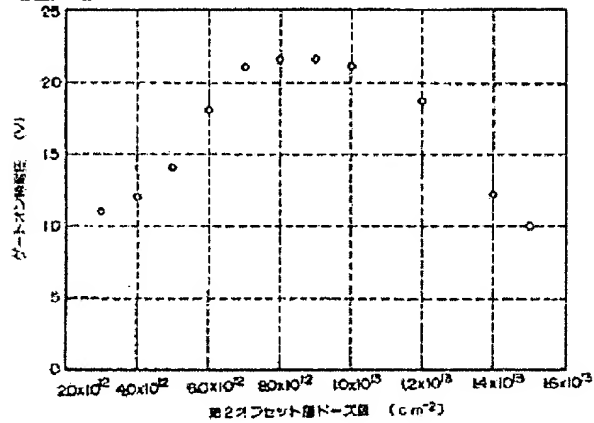


- | | |
|----------------|--------------|
| 11: p型半導体基板 | 17: ゲート絶縁膜 |
| 12: p型ウェル | 18: フィールド酸化膜 |
| 13: n型ソース層 | 19: ゲート電極 |
| 14: n型第1オフセット層 | 20: ソース電極 |
| 15: n型第2オフセット層 | 21: ドレイン電極 |
| 16: n型ドレイン層 | |

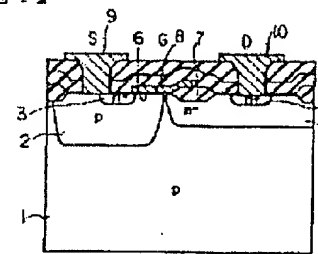
【図2】



【図3】

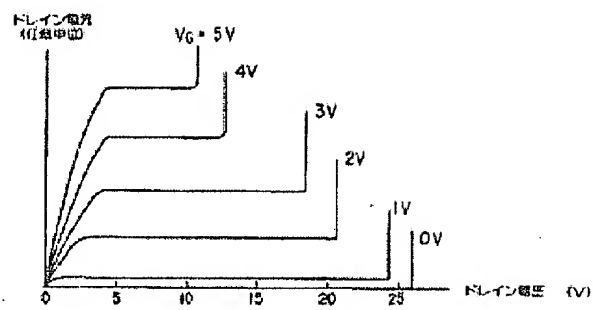


【図4】



- | | |
|---------------|-------------|
| 1: p型半導体基板 | 6: ゲート絶縁膜 |
| 2: p型ウェル | 7: フィールド酸化膜 |
| 3: n型ソース層 | 8: ゲート電極 |
| 4: n型第1オフセット層 | 9: ソース電極 |
| 5: n型第2オフセット層 | 10: ドレイン電極 |

【図5】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121742

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-282047

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.10.1997

(72)Inventor : KAWAGUCHI YUSUKE

NAKAGAWA AKIO

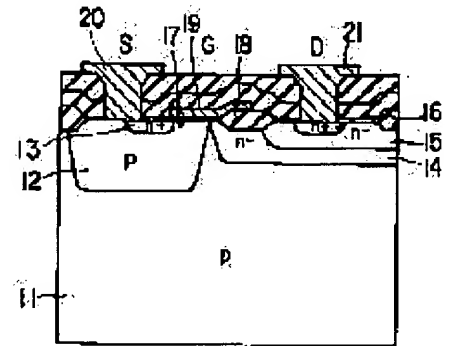
KINOSHITA KOZO

(54) HIGH-BREAKDOWN VOLTAGE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain low ON resistance and to realize high breakdown voltage in both ON and OFF states of a gate at the same time.

SOLUTION: This device has the following structure. When a gate is off, an n-type offset layer 14 acts as a reserve and realizes a high breakdown voltage. When the gate is off, even if the electric charge of the n-type first offset layer 14 is offset by the drain current (I_D) flowing through an element by the low ON resistance, an n-type second offset layer 15 having a higher dosage n_2 than the dosage n_1 of the n-type first offset layer 1 acts as the reserve. In this case, letting the amount of the electric charge of electrons be represented by q [C] and the drift speed of carrier be μ_{drift} [cm/sec], the relationship of $n_2 \geq I_D / (q \cdot \mu_{\text{drift}})$ [cm⁻²] is satisfied.



LEGAL STATUS

[Date of request for examination]

03.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3315356

[Date of registration]

07.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the high proof-pressure semiconductor device which consists of an MOSFET.

[0002]

[Description of the Prior Art] Generally the high proof-pressure semiconductor device used for a high proof-pressure drive circuit etc. and the low proof-pressure semiconductor device used for a low proof-pressure drive circuit etc. are formed in the same substrate, and Power IC is manufactured. This kind of power IC is known widely, and many uses are considered. Usually, the high proof pressure MOSFET as a high proof-pressure semiconductor device is used for the output stage, and, as for such power IC, the low on resistance is demanded, as for this high proof pressure MOSFET.

[0003] Drawing 4 is the cross section showing the element structure of the applied high proof pressure MOSFET. p type body layer 2 is alternatively formed in the front face of the p type semiconductor substrate 1 of high resistance [this high proof pressure MOSFET]. n type source layer 3 of low resistance is alternatively formed in the front face of p type body layer 2.

[0004] n type offset layer 4 of high resistance is formed in a front face which is different in p type body layer 2 of the p type semiconductor substrate 1. n type drain layer 5 of low resistance is alternatively formed in the front face of n type offset layer 4. Moreover, the gate electrode 8 is formed in a part of n type offset layer 4 front face contiguous to p type body layer 2 front face across which n type source layer 3 and n type offset layer 4 face, and this front face through the gate insulator layer 6 and the field oxide film 7.

[0005] Moreover, the source electrode 9 in contact with both [these] layers is formed in n type source layer 3 and p type body layer 2. The drain electrode 10 is formed on n type drain layer 5.

[0006] Since, as for such a high proof pressure MOSFET, n type drain layer 5 is formed in the offset layer 4, the offset layer 4 acts as the so-called RISAFU layer. This RISAFU layer enables the suppression of an on resistance to a low value, maintaining high pressure-proofing of an element. In addition, the characteristic curve of the drain voltage-drain current from gate-voltage $V_G = 0V$ (OFF state) to 5V of this high proof pressure MOSFET is as being shown in drawing 5.

[0007]

[Problem(s) to be Solved by the Invention] However, as the above high proof pressures MOSFET show to drawing 5, they are the time of gate-off, and a gate voltage V_G . The usual gate voltage V_G which exceeded 1V although high pressure-proofing was maintained by about 1V at the time of a low At the time of the becoming gate-on, there is a problem used as low pressure-proofing.

[0008] That is, space charge positive by the part side whose electron the equipotential line became dense by the drain side, and increased to the drain side in n type offset layer 4 front face by the drain current which flows an element at the time of gate-on, and the source side will produce the high proof pressure MOSFET, and this positive space charge will negate the charge which doused n type offset layer 4. For this reason, there is a problem on which n type offset layer 4 stops acting on as a RISAFU layer, and pressure-proofing is reduced at the time of gate-on. Especially this problem is a gate voltage V_G . It becomes remarkable more than by 1/2 or more 3V of rating.

[0009] Moreover, since this high proof pressure MOSFET turns into low pressure-proofing at the time of gate-on, there is a problem of being unusable in the analog circuit of composition of that a drain links with a power supply directly and carries out bias of the gate.

[0010] In addition, if drift velocity of $q (=1.6 \times 10^{-19} \text{ C; unit coulomb})$ and an electron is set [the drain current of the element per gate width of 1cm] to $\mu_{\text{drift}} (=8 \times 10^6 \text{ cm/sec})$ for I_D and the amount of electronic charge, it is this drain current I_D . The negative charge of n type offset layer 4 negated is $I_D / (q \cdot \mu_{\text{drift}}) \text{ cm}^{-2}$. Moreover, gate

width is the gate length which met in the space depth direction of drawing 4 , and is also called channel width among this specification.

[0011] this invention aims at offering the high proof-pressure semiconductor device which can realize high pressure-proofing by both the ON state / OFF state of the gate while it was made in consideration of the above-mentioned actual condition and can obtain a low on resistance.

[0012]

[Means for Solving the Problem] The main point of this invention considers as two-layer composition, offset applying it to a drain side from a source side, and the structure which prepared the 2nd offset layer of a high-dose amount in the drain layer side rather than the 1st offset layer by the side of the source is used.

[0013] That is, the main point of this invention leaves a charge to the 2nd offset layer by the side of a drain, though the charge of the 1st offset layer by the side of the source is negated, it is made to act as a RISAFU layer by the drain current which flows an element by the low on resistance at the time of gate-on, and as the whole element, while, it is in making high pressure-proofing realize by both the ON state / OFF state of the gate, on the assumption that a low on resistance.

[0014] Now, based on the main point of the above this inventions, the following meanses are specifically provided. The 1st conductivity-type body layer by which this invention was alternatively formed in the front face of the 1st conductivity-type semiconductor substrate and the aforementioned 1st conductivity-type semiconductor substrate, The 2nd conductivity-type source layer alternatively formed in the front face of the aforementioned 1st conductivity-type body layer, The 1st offset layer of the 2nd conductivity type alternatively formed in a different field from the aforementioned 1st conductivity-type body layer of the front face of the aforementioned 1st conductivity-type semiconductor substrate, The 2nd offset layer of the 2nd conductivity type alternatively formed in the front face of the aforementioned 1st offset layer of the 2nd conductivity type, The 2nd conductivity-type drain layer alternatively formed in the front face of the aforementioned 2nd offset layer of the 2nd conductivity type, The gate electrode formed through the Gaea ***** on the field inserted into the aforementioned 2nd conductivity-type source layer and the aforementioned 1st offset layer of the 2nd conductivity type, It is related with the high proof-pressure semiconductor device of the structure equipped with the source electrode formed in contact with both aforementioned 1st conductivity-type body layer front face and aforementioned 2nd conductivity-type source layer front face, and the drain electrode formed in the aforementioned 2nd conductivity-type drain layer front face.

[0015] In the starting structure, invention corresponding to a claim 1 The dielectric constant of μ [$\text{cm}^2 / \text{V}\cdot\text{s}$] and the aforementioned gate insulator layer for the mobility of the carrier in the channel of an element ϵ [F/cm], It is [thickness / of the aforementioned gate insulator layer] V_T about L [cm] and threshold voltage in d [cm] and channel length. It is V_G about [V] and a rated gate voltage. When referred to as [V], Drain current I_D per [which is specified by following the (1) formula] 1cm of channel width It receives, the amount of electronic charge is set to q [C], and it is ϵ about the drift velocity of a carrier. When it considers as [cm/sec], Dose n_2 of the aforementioned 2nd offset layer of the 2nd conductivity type It is the high proof-pressure semiconductor device with which are satisfied of following the (2) formula.

$I_D = (\text{micro-}\epsilon) \cdot (V_G / 2 - V_T) / (4 \text{ and } L \cdot d)$ [A/cm] -- (1)

$n_2 \geq I_D / (q \cdot \epsilon \cdot \text{drift})$ [cm^{-2}] -- (2)

Moreover, invention corresponding to a claim 2 is the dose of the aforementioned 1st offset layer of the 2nd conductivity type n_1 When referred to as [cm^{-2}], it is the dose n_2 of the aforementioned 2nd offset layer of the 2nd conductivity type. It is the high proof-pressure semiconductor device with which are satisfied of the following formula. It is the high proof-pressure semiconductor device which invention corresponding to a claim 3 has the dose of the aforementioned 1st offset layer of the 2nd conductivity type within the limits of 1.5 to 4×10^{12} [cm^{-2}], and has the dose of the aforementioned 2nd offset layer of the 2nd conductivity type in $2n_1 \leq n_2 \leq 4n_1$ pan within the limits of 3×10^{12} to 1.6×10^{13} [cm^{-2}].

(Operation) Invention corresponding to a claim 1 therefore, by having provided the above meanses By the drain current which the 1st offset layer of the 2nd conductivity type acts as RISAFU, and realizes high pressure-proofing as usual at the time of gate-off, and flows an element by the low on resistance at the time of gate-on Although the charge of the 1st offset layer of the 2nd conductivity type is negated, it is the dose n_1 of the 1st offset layer of the 2nd conductivity type. High-dose amount n_2 Since the 2nd offset layer of the 2nd conductivity type acts as RISAFU While being able to obtain a low on resistance, high pressure-proofing can be made to realize by both the ON state / OFF state of the gate.

[0016] Moreover, since the conditions at this time are specified as $n_2 \geq I_D / (q \cdot \epsilon \cdot \text{drift})$ [cm^{-2}], this operation can be done so easily and certainly. Moreover, it adds to the operation corresponding to a claim 1, and the operation which does the same high pressure-proofing so, and invention corresponding to a claim 2 is the conditions at this time $2n_1 \leq n_2 \leq 4n_1$ Since it has specified by carrying out, the operation mentioned above can be done so easily and certainly.

[0017] Furthermore, since invention corresponding to a claim 3 has specified the dose of the 1st offset layer of the 2nd

conductivity type, and the dose of the 2nd offset layer of the 2nd conductivity type for the concrete numeric value in addition to the operation corresponding to a claim 1, and the operation which does the same high pressure-proofing so, it can do so the operation mentioned above still more easily and certainly.

[0018]

[Embodiments of the Invention] Hereafter, it explains, referring to a drawing about 1 operation form of this invention.

Drawing 1 is the cross section showing the element structure of the high proof pressure MOSFET concerning 1 operation form of this invention. p type body layer 12 is alternatively formed in the front face of the p type semiconductor substrate 11 of high resistance [this high proof pressure MOSFET]. n type source layer 13 of low resistance is alternatively formed in the front face of p type body layer 12.

[0019] The n type 1st offset layer 14 of high resistance is formed in a different front face from p type body layer 12 of the p type semiconductor substrate 11, the n type 1st offset layer 14 is adjoined, and the n type 2nd offset layer 15 of low resistance (high-dose amount) is formed rather than the n type 1st offset layer 14.

[0020] n type drain layer 16 of low resistance is alternatively formed in n type 2nd offset layer 5 front face rather than the n type 2nd offset layer 5. Moreover, the gate electrode 19 is formed in a part of n type 1st offset layer 14 front face contiguous to p type body layer 12 front face across which n type source layer 13 and the n type 1st offset layer 14 face, and this front face through the gate insulator layer 17 and the field oxide film 18.

[0021] Moreover, the source electrode 20 in contact with both [these] layers is formed in n type source layer 13 and p type body layer 12. The drain electrode 21 is formed on n type drain layer 16.

[0022] Here, it is [mobility / of the carrier in the channel of an element / dielectric constant / of μ [$\text{cm}^2 / \text{V-s}$] and the gate insulator layer 17 / thickness / of ϵ [F/cm] and the gate insulator layer 17] V_T about L [cm] and threshold voltage in d [cm] and channel length. It is V_G about [V] and a rated gate voltage. When referred to as [V], it is drain current I_D per 1cm of channel width. It is prescribed by the

$$I_D = (\text{micro-}\epsilon) \cdot (V_G / 2 - V_T) / (4 \text{ and } L \cdot d) \text{ [A/cm]} \quad -- (1)$$

Amount of electronic charge q [c] mentioned above at this time, and electronic drift velocity $\text{upsilon}_{\text{drift}}$ [cm/sec] is used and it is the dose n_2 of the n type 2nd offset layer 15. It is set up so that the relation of the following (2) formulas may be satisfied.

$$n_2 \geq I_D / (q \cdot \text{upsilon}_{\text{drift}}) \text{ [cm}^{-2}] \quad -- (2)$$

At this operation form, it is $\mu = 700 \text{ [cm}^2 / \text{V-s}]$ and $\epsilon = 3.5 \times 10^{-13} \text{ [F/cm]}$, $d = 1.5 \times 10^{-6} \text{ [cm]}$, and $L = 1 \times 10^4$ It is dose $n_2 = 9 \times 10^{12} \text{ [cm}^{-2}]$ to [cm] $V_T = 1 \text{ [V]}$ $V_G = 5 \text{ [V]}$.

[0023] Next, an operation of the high proof pressure MOSFET of the above composition is explained. As the n type 1st offset layer 14 acts as RISAFU and this high proof pressure MOSFET is shown in drawing 2 as usual at the time of gate-off of gate-voltage $V_G = 0\text{V}$, high pressure-proofing is realized.

[0024] On the other hand, although the charge of the n type 1st offset layer 14 is negated by the drain current which flows for an element at the time of gate-on (gate-voltage 5V), as the n type 2nd offset layer 15 of a high-dose amount acts as RISAFU and it is shown in drawing 2 rather than the n type 1st offset layer 14, high pressure-proofing is realized. Moreover, although high pressure-proofing is realized by both the ON state / OFF state of the gate as mentioned above, the low on resistance has been obtained simultaneously. That is, high pressure-proofing can be made to realize over the range of gate voltages 0V - 5V , being able to obtain a low on resistance.

[0025] Drawing 3 is the amount n_2 of DO 1 ZU of the pressure-proofing at the time of gate-on ($V_G = 5\text{V}$), and the n type 2nd offset layer 15. It is drawing showing a relation. In addition, dose n_1 of the n type 1st offset layer 14 at this time It is $3 \times 10^{12} \text{ [cm}^{-2}]$. It is n_2 as shown in drawing 3 . When it is within the limits of 6×10^{12} to $1.2 \times 10^{13} \text{ [cm}^{-2}]$, it turns out that pressure-proofing is improving greatly.

[0026] Moreover, thereby, it is n_2 . $2n_1 \leq n_2 \leq 4n_1$ It turns out that it is desirable that it is in within the limits. The reason is n_2 . $2n_1$ It is because a charge will be negated by drain current when small ($n_2 < 2n_1$). Moreover, $n_2 > 4n_1$ It is because it does not contribute to improvement in pressure-proofing in order that the n type 2nd offset layer 15 may not depletion-ize completely and may not act as RISAFU, when large ($4n_1 < n_2$).

[0027] Moreover, this n_2 n_1 It sets in a relation and is the dose n_1 of the n type 1st offset layer 14. It is within the limits of 1.5 to $4 \times 10^{12} \text{ [cm}^{-2}]$. And dose n_2 of the n type 2nd offset layer 15 The result of being desirable is obtained on element operation which makes high pressure-proofing realize without being concerned with turning on and off of the gate, that it is within the limits of 3×10^{12} to $1.6 \times 10^{13} \text{ [cm}^{-2}]$ being able to obtain a low on resistance.

[0028] As mentioned above, according to this operation form, at the time of gate-off as usual drain current I_D which the n type 1st offset layer 14 acts as RISAFU, and realizes high pressure-proofing, and flows an element by the low on resistance at the time of gate-on Although the charge of the n type 1st offset layer 14 is negated, it is the dose n_1 of the n type 1st offset layer 14. High-dose amount n_2 Since the n type 2nd offset layer 15 acts as RISAFU While being able to obtain a low on resistance, high pressure-proofing can be made to realize by both the ON state / OFF state of the gate.

[0029] Moreover, since the conditions of a dose are set up so that $n2 \geq ID/(q \cdot \text{upsilon drift})$ [cm-2] may be satisfied, this effect can be done so easily and certainly. In addition, drain current ID to use in this case Since optimization of a dose can be attained also with a value, it is desirable.

[0030] moreover, dose n1 of the n type 1st offset layer 14 within the limits of 1.5 to 4×10^{12} [cm-2] -- carrying out -- dose n2 of the n type 2nd offset layer 15 The effect mentioned above also as within the limits of 3×10^{12} to 1.6×10^{13} [cm-2] can be depended, and it can do so still more easily and certainly.

[0031] Furthermore, they are the conditions at this time $2n1 \leq n2 \leq 4n1$ Since it carried out and asked experimentally, the effect mentioned above can be done so easily and certainly.

(others -- operation form) in addition, with the above-mentioned operation form, although the case where used the 1st conductivity type as p type, and the 2nd conductivity type was used as n type was explained, not only this but the 1st conductivity type can be used as n type, this invention can be similarly carried out for the 2nd conductivity type as a p type, and the same effect can be acquired In addition, in the range which does not deviate from the summary, this invention deforms variously and can be carried out.

[0032]

[Effect of the Invention] As explained above, while being able to obtain a low on resistance according to this invention, the high proof-pressure semiconductor device which can realize high pressure-proofing by both the ON state / OFF state of the gate can be offered.

[Translation done.]